

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-199555

(43)公開日 平成9年(1997)7月31日

(51)Int.Cl.⁶

識別記号 厅内整理番号

H 01 L 21/66

F I

H 01 L 21/66

技術表示箇所

E

審査請求 未請求 請求項の数3 OL (全4頁)

(21)出願番号

特願平8-7746

(22)出願日

平成8年(1996)1月19日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 佐藤 信三

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 粟屋 友晴

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 酒井 敏昭

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74)代理人 弁理士 高橋 敏四郎

(54)【発明の名称】 半導体装置及びその試験方法

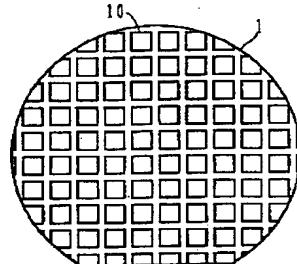
(57)【要約】

【課題】 集積度を低下させることなく、試験時の電圧降下を抑制することができる半導体装置及びその試験方法を提供する。

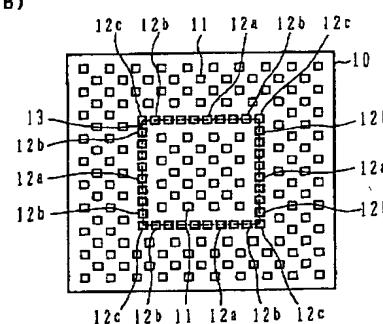
【解決手段】 複数のチップ領域が画定された表面を有し、各チップ領域内に相互に等価な電子回路が形成され、チップ領域ごとに、当該チップ領域内に形成された電子回路と外部装置との電気的接続をとるためのパッドが2次元的に配置されている半導体基板を準備する工程と、半導体基板の1つのチップ領域内の一部の複数のパッドに、それぞれ触針を接触させて当該チップ領域内に形成された電子回路の試験を行う工程であって、電源を供給するための触針を、少なくとも当該チップ領域内に配置された最外周のパッド以外のパッドに接触させて試験を行う工程とを含む。

実施例

(A)



(B)



1

【特許請求の範囲】

【請求項 1】 複数のチップ領域が画定された表面を有し、各チップ領域内に相互に等価な電子回路が形成され、チップ領域ごとに、当該チップ領域内に形成された電子回路と外部装置との電気的接続をとるためのパッドが2次元的に配置されている半導体基板を準備する工程と、

前記半導体基板の1つのチップ領域内の一部の複数のパッドに、それぞれ触針を接触させて当該チップ領域内に形成された電子回路の試験を行う工程であって、電源を供給するための触針を、少なくとも当該チップ領域内に配置された最外周のパッド以外のパッドに接触させて試験を行う工程とを含む半導体装置の試験方法。

【請求項 2】 前記半導体基板の各チップ領域内に配置された前記パッドが、各チップ領域内の仮想的な閉じた線に沿って配列した試験用パッドと、前記閉じた線の内部領域及び外部領域に配置された動作用パッドを含み、前記試験を行う工程が、前記触針を前記試験用パッドのみに接触させて試験を行う請求項1に記載の半導体装置の試験方法。

【請求項 3】 内部に電子回路が形成された半導体チップであって、

前記半導体チップの表面に露出し、表面内の仮想的な閉じた線に沿って配列し、内部の電子回路の試験を行うときに、該電子回路と外部装置との電気的接続を行う試験用パッドと、

前記半導体チップの表面に露出し、前記閉じた線の内部領域及び外部領域に配置され、内部の電子回路と外部装置との電気的接続を行う動作用パッドとを有する半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその試験方法に関する。

【0002】

【従来の技術】半導体集積回路の高集積化、大面積化に伴い、外部との電気的接続を行うためのパッドがチップ表面に2次元的に配列されるようになった。このような半導体チップの電子回路の試験を行うための試験用パッドが半導体チップの縁部に配列される。

【0003】試験用パッドに触針を接触させて、試験用パッドのうち電源供給用のパッドから電源を供給し、信号送受信用のパッドを通して試験信号の送受を行って電子回路の試験を行う。

【0004】

【発明が解決しようとする課題】チップサイズを大型化すると、最外周に配列された試験用パッドからチップの中心までの距離が長くなる。また、パッドが2次元的に配置される場合には、チップの内奥部からも電源を供給できるため電源配線を低抵抗化する必要性に乏しく、電

2

源配線の積極的な低抵抗化が図られない場合がある。このため、最外周の試験用パッドから電源を供給する場合に、電源配線の抵抗による電圧降下が大きな問題になる。

【0005】電圧降下を低減するために電源配線の幅を広げることは、高集積化の要請に反する。本発明の目的は、集積度を低下させることなく、試験時の電圧降下を低減することができる半導体装置及びその試験方法を提供することである。

10 【0006】

【課題を解決するための手段】本発明の一観点によると、複数のチップ領域が画定された表面を有し、各チップ領域内に相互に等価な電子回路が形成され、チップ領域ごとに、当該チップ領域内に形成された電子回路と外部装置との電気的接続をとるためのパッドが2次元的に配置されている半導体基板を準備する工程と、前記半導体基板の1つのチップ領域内の一部の複数のパッドに、それぞれ触針を接触させて当該チップ領域内に形成された電子回路の試験を行う工程であって、電源を供給する

20 ための触針を、少なくとも当該チップ領域内に配置された最外周のパッド以外のパッドに接触させて試験を行う工程とを含む半導体装置の試験方法が提供される。

【0007】チップの試験時に最外周のパッド以外のパッドから電源を供給するため、電源供給用のパッドからチップ領域内の各点までの距離を短縮できる。このため、電源配線の抵抗による電圧降下を低減することができる。

【0008】本発明の他の観点によると、内部に電子回路が形成された半導体チップであって、前記半導体チップの表面に露出し、表面内の仮想的な閉じた線に沿って配列し、内部の電子回路の試験を行うときに、該電子回路と外部装置との電気的接続を行う試験用パッドと、前記半導体チップの表面に露出し、前記閉じた線の内部領域及び外部領域に配置され、内部の電子回路と外部装置との電気的接続を行う動作用パッドとを有する半導体装置が提供される。

【0009】最外周のパッド以外のパッドが試験用パッドとされているため、チップの試験時に最外周以外のパッドから電源を供給することができる。このため、電源

30 配線の長さを短縮でき、電源配線の抵抗による電圧降下を低減することができる。

【0010】

【発明の実施の形態】図1(A)は、半導体ウエハの概略平面図を示す。半導体ウエハ1の表面に、格子状に配置された複数のチップ領域10が画定されている。各チップ領域10には、半導体ウエハ1の表面に電子回路が形成されている。

【0011】図1(B)は、図1(A)に示す半導体ウエハ1の1つのチップ領域10の概略平面図を示す。チップ領域10の表面上に、電子回路と外部装置との電気

3

的接続をとるための動作用パッド11及び試験用パッド12a、12b、12cが形成されている。パッド以外の領域は絶縁性の保護膜で覆われている。

【0012】試験用パッド12a～12cは、チップ領域10の内部に画定される仮想的な正方形の外周13に沿って配列している。動作用パッド11は、正方形の外周13の内部及び外部の双方の領域に配置されている。

【0013】試験用パッドのうち接地用のパッド12cが、正方形の外周13の頂点に配置され、電源電圧供給用のパッド12bが、接地用のパッド12cに隣接して配置されている。正方形の外周13の各辺の中間領域に試験信号用のパッド12aが配置されている。

【0014】チップの試験時には、プローブカードに取り付けられた複数の触針の先端を、それぞれ試験用パッド12a～12cに接触させ、チップ内の電子回路と検査装置とを電気的に接続する。接地用のパッド12cに接触する触針には検査装置から接地電位が与えられ、電源電圧供給用のパッド12bに接触する触針には電源電圧が与えられる。試験信号用のパッド12aに接触する触針を介して検査装置とチップ内の電子回路との間で試験信号の送受が行われる。

【0015】このように、本実施例においては、試験用パッド12a～12cをチップ領域の縁部ではなく内奥部に配置する。ここで、縁部とは、2次元的に配置されたパッドのうち最外周のパッドが配置されている領域のことを意味し、内奥部とは、最外周のパッド以外のパッドが配置された領域を意味する。試験用パッド12a～12cを内奥部に配置しているため、電源電圧供給用及び接地用のパッド12b及び12cから、比較的短い配線でチップ領域10内の任意の点に電源を供給することができる。このため、チップ試験時の電圧降下を低減することができる。

【0016】なお、チップ領域の中心にのみ電源電圧供給用及び接地用のパッドを配置すると、中心から縁部までの距離が長くなるため、中心からずらした位置に配置することが好ましい。

【0017】例えば、試験用パッド12a～12cをチップ領域の中心とその外周とを結ぶ線分の中点の位置に配置し、頂点の試験用パッドを接地用とした場合、1つの接地用のパッド12cから電源を供給すべき最遠部は、それに対応するチップ領域の頂点になる。チップ領域10の一辺の長さが16mmである場合、この距離は約5.6mmになる。

【0018】従来のように、試験用パッド12a～12cをチップ領域の縁よりも約0.2mmだけ内側に配置する場合を考える。各辺の中点に位置するパッドを接地用のパッドとする場合、1つの接地用のパッドから電源を供給すべき最遠部は、チップ領域の中心になる。チップ領域10の一辺の長さが16mmである場合、この距離は約7.8mmになる。

4

【0019】上記2つの例を比較すると、試験用パッドをチップ領域の内奥部に配置することにより、縁部に配置する場合に比べて、パッドから電源を供給すべき最遠部までの距離を約30%短縮できることがわかる。この短縮効果を高めるためには、図1(B)に示したように、チップ領域の中心と縁とを結ぶ線分の中点の位置に試験用パッドを配置することが好ましい。

【0020】図1(B)ではチップ領域が正方形の場合を示したが、上記実施例は、チップ領域が正方形の場合に限らず、例えば長方形、平行四辺形、その他任意の形状の場合にも適用することができる。チップ領域が矩形である場合には、試験用パッドも矩形パターンに沿って配列する。この矩形パターンの頂点に位置するパッド及びそれに隣接するパッドを接地用及び電源電圧供給用とすることにより、電源配線の短縮効果を高めることができる。

【0021】また、試験用パッドをチップ領域の内奥部に配置することにより、試験用パッドの配置パターンをチップサイズに依らず標準化することができる。例えば、一辺が8mmの正方形よりも大きなチップであれば、試験用パッドを一辺約8mmの正方形の外周に沿って配列することができる。チップサイズに依らず試験用パッドの配列パターンを標準化することにより、同一のプローブカードを用いて異なるサイズのチップの試験を行うことができる。

【0022】図1(B)において、各パッド11、12a～12cは、例えば100μm×100μm程度の大きさであり、相互に隣接する試験用パッド12a～12c間の間隔は50μm以下である。また、各試験用パッド12a～12cと、当該パッドに最も近い動作用パッド11との間の間隔は100μm程度である。このように、試験用パッド同士の間隔は、試験用パッドとそれに最も近い動作用パッドとの間隔よりも狭く、一般的には約半分以下の間隔とされる。

【0023】また、図1(B)に示すように、動作用パッド11がチップ領域10内に2次元的に配置される場合には、一般的にチップは外部基板にフリップチップボンディングされる。フリップチップボンディングするために、動作用パッド11は、配線層の表面上に鉛等の盛り上がり部を形成したバンプパッドとされる。試験用パッド12a～12cは外部基板に接続されないため、チップ最上層の配線層が露出した標準パッドである。

【0024】上記実施例では、試験用パッドをチップ領域の内奥部に配置する場合を説明したが、試験用パッドのうち接地用及び電源電圧供給用のパッドのみを内奥部に配置してもよい。

【0025】図2は、接地用及び電源電圧供給用のパッドのみを内奥部に配置したチップの概略平面図を示す。チップ領域10の縁部に、各辺に平行に試験用パッド12a～12cが配列されている。チップ領域10の中心

50

5

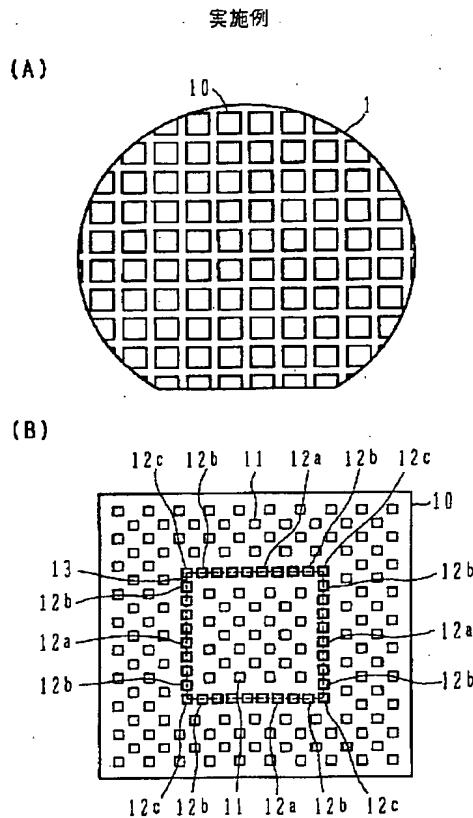
と各辺の中点とを結ぶ線分の中点近傍に電源電圧供給用の試験用パッド12bと接地用の試験用パッド12cが配置されている。その他の領域には、動作用パッド11が2次元的に分布するように配置されている。さらに、各辺に平行に配列した試験用パッドのうち、両端のパッドをそれぞれ電源電圧供給用のパッド12b及び接地用のパッド12cとしている。

【0026】図2に示すように、試験用パッド12a～12cの一部をチップ領域の縁部に配置し、試験用パッドのうち接地用及び電源電圧供給用のパッドのみを内奥部にも配置することにより、試験時の電源電圧降下を低減することができる。

【0027】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0028】

【図1】



6

【発明の効果】以上説明したように、本発明によれば、チップの試験時に電源を供給する配線の長さの増大を抑制することができる。これにより、試験時の電源電圧低下を低減することができる。

【図面の簡単な説明】

【図1】本発明の実施例による半導体ウエハ及びチップ領域の概略を示す平面図である。

【図2】本発明の他の実施例によるチップ領域の概略を示す平面図である。

10 【符号の説明】

1 半導体ウエハ

10 チップ領域

11 動作用パッド

12a 試験信号用の試験用パッド

12b 電源電圧供給用の試験用パッド

12c 接地用の試験用パッド

【図2】

他の実施例

